

DIALOG(R)File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

02887197 **Image available**
MEMORY IC SIMULATOR

PUB. NO.: 01-184797 [JP 1184797 A]
PUBLISHED: July 24, 1989 (19890724)
INVENTOR(s): MINAGAWA TATSUYA
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 63-008771
FILED: January 18, 1988 (19880118)
INTL CLASS: [4] G11C-029/00; G06F-012/00
JAPIO CLASS: 45.2 (INFORMATION PROCESSING -- Memory Units)
JOURNAL: Section: P, Section No. 949, Vol. 13, No. 471, Pg. 65,
 October 25, 1989 (19891025)

ABSTRACT

PURPOSE: To accurately simulate the operation of plural multiport memories by using the area of a main storage to store the memory to be simulated when an object to be simulated is a multiport memory.

CONSTITUTION: At the time of inputting a real address 113, a control signal line group 117 and an internal state number 119, an operation control device 5 determines the operation of a memory to be simulated, outputs a new internal state 118 to a state transition memory 4 and accesses the main storage 6. When a new internal state includes writing operation, the device 5 outputs a writing operation detecting signal 114, outputs writing data 116 to access 120 and writes the data 116 in a position indicated by a real address 113 of the main storage 6. When a new internal state includes reading operation, a reading operation detecting signal 115 is outputted, data are read out from the position indicated by the real address 113 of the main storage 6 and the read data 116 are outputted to a data register 3. Consequently, the multiport memory can be accurately simulated.

?

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許出願公告番号

特公平6-90713

(24) (44)公告日 平成6年(1994)11月14日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/60	3 6 0 D	7623-5L		
11/26	3 1 0	7737-5B		

請求項の数1(全 6 頁)

(21)出願番号	特願昭63-8771
(22)出願日	昭和63年(1988)1月18日
(65)公開番号	特開平1-184797
(43)公開日	平成1年(1989)7月24日

(71)出願人	999999999 日本電気株式会社 東京都港区芝5丁目7番1号
(72)発明者	皆川 達哉 東京都港区芝5丁目33番1号 日本電気株 式会社内
(74)代理人	弁理士 京本 直樹 (外2名)

審査官 高松 猛

(56)参考文献	特開 昭59-191656 (J P, A)
	特開 昭59-207100 (J P, A)

(54)【発明の名称】 メモリICシミュレータ

【特許請求の範囲】

【請求項1】複数のメモリICをシミュレートする装置において、シミュレーション対象がマルチポートメモリの場合、前記マルチポートメモリを構成する複数のポートが、前記マルチポートメモリを構成するメモリ・セルを同時にアクセスした時、前記マルチポートメモリを特定するポート番号、及び制御信号からシミュレーションするポートの順番を決定し、メモリアドレス、データ、制御信号、メモリ番号を得るスケジューラと、前記制御信号が変化するとき、前記メモリ番号と前記メモリアドレスから主記憶の前記メモリ毎に定められた実アドレスを得る実アドレス生成器と、前記メモリ毎に内部状態番号を記憶しておく状態遷移メモリと、前記メモリが書き込み動作、読み出し動作を行う際、書き込みデータ、読み出しデータを保持するデータ・レジスタと、前記内部

状態番号と、前記制御信号から新たな内部状態番号を得、前記状態遷移メモリへ格納し、前記メモリの動作を決定し、動作が書き込み動作のとき、前記主記憶に対し前記実アドレスを用いて前記データレジスタの値を書き込み、動作が読み出し動作のとき、前記主記憶に対して前記データレジスタへ値を読み出す動作管理装置とを含むことを特徴とするメモリICシミュレータ。

【発明の詳細な説明】

【産業上の利用分野】

本発明はメモリICシミュレータに関する。

【共通的技术】

近年のVLSI化技術の進歩による集積回路の高密度化、大規模化に伴い、開発期間の短縮のため論理シミュレータの必要性が増大している。

初期の論理シミュレーションでは、ANDゲート、ORゲー

ト、フリップ・フロップなどの基本的な論理素子を用いた論理回路のみのシミュレーションを行っていたが、複雑な内部状態をもつメモリのシミュレーションも実用化されつつある。

〔従来の技術〕

従来の技術としては例えば、特公昭59-191656号公報に示されているようなメモリICシミュレータがある。

従来のメモリICシミュレータは、アドレス変換メモリと、状態メモリと、検出器と、書き込みレジスタと、マスタアクセス装置と、読みだしレジスタとを含んで構成される。

次に従来のメモリICシミュレータについて図面を参照して詳細に説明する。

第7図は従来のメモリICシミュレータの一例を示すブロック図である。

第7図に示すメモリICシミュレータは、アドレス変換器71、状態メモリ72、検出器73、書き込みレジスタ74、読み出しレジスタ75、マスタアクセス装置76、親計算機の主記憶77とを含んでいる。

アドレス変換器71は、IC番号701とメモリICのアドレス部702を入力し、DMAアドレス706を出力する。状態メモリ72はメモリICの制御信号部703を入力し、IC番号701で示されるメモリ位置に記憶し又、記憶されていた以前の状態707を出力する。検出器73は以前の状態707と入力した制御信号部703を比較し、メモリアccessを検出し、書き込みアクセス検出信号708あるいは読み出しアクセス検出信号709を出す。書き込みレジスタ74は書き込みアクセス検出信号708を受けると、メモリICの書き込みデータ704の入力、保持し書き込み出力データ710を出す。マスタアクセス装置76は書き込みアクセス検出信号708あるいは読み出しアクセス検出信号709を入力するとDMAアドレス706を用いて親計算機の主記憶77へ直接アクセス712を行う。

書き込みアクセス検出信号708が出される場合は書き込み出力データ710を直接アクセス712に出し、主記憶77のDMAアドレス706で示される位置に書き込む。又、読み出しアクセス検出信号が出された時は主記憶77からデータを読み出し、読み出しデータ711を出す。

読み出しレジスタ75は読み出しアクセス検出信号709が出されると、マスタアクセス装置76の読み出しデータ711を入力、保持し読み出し出力705をメモリICへ出力する。

〔発明が解決しようとする問題点〕

上述した従来のメモリICシミュレータは、シミュレーション対象がマルチポートメモリの場合、複数のポートが同一アドレスを同時に読み出し及び書き込みを行った場合、読み出す内容及び書き込まれる内容が、評価するポートの順序によって異ってしまい、正確なマルチポート・メモリのシミュレーションを行うことができないという欠点があった。

〔問題点を解決するための手段〕

本発明のメモリICシミュレーションは、複数のメモリICをシミュレートする装置において、シミュレーション対象がマルチポートメモリの場合、前記マルチポートメモリを構成する複数のポートが、前記マルチポートメモリを構成するメモリ・セルを同時にアクセスした時、前記マルチポートメモリを特定するポート番号とポート番号、及び制御信号からシミュレーションするポートの順番を決定し、メモリアドレス、データ、制御信号、メモリ番号を得るスケジューラと、前記制御信号が変化したとき、前記メモリ番号と前記メモリアドレスから主記憶の前記メモリ毎に定められた実アドレスを得る実アドレス生成器と、前記メモリ毎に内部状態番号を記憶しておく状態遷移メモリと、前記メモリが書き込み動作、読み出し動作を行う際、書き込みデータ、読み出しデータを保持するデータ・レジスタと、前記内部状態番号と、前記制御信号から新たな内部状態番号を得、前記状態遷移メモリへ格納し、前記メモリの動作を決定し、動作が書き込み動作のとき、前記主記憶に対し前記実アドレスを用いて前記データレジスタの値を書き込み、動作が読み出し動作のとき、前記主記憶に対して前記データレジスタへ値を読み出す動作管理装置とを含んで構成される。

〔実施例〕

次に、本発明の実施例について、図面を参照して詳細に説明する。

第1図は本発明の一実施例を示すブロック図である。

1はスケジューラ、2は実アドレス生成器、3はデータ・レジスタ、4は状態遷移メモリ、5は動作管理装置、6は主記憶である。

スケジューラ1はアドレス入力101、制御信号群102、メモリ番号103、ポート番号104、入力データ105、マルチポートメモリ検出信号106、マルチポートメモリシミュレーション起動信号107を入力し、メモリ番号110、アドレス111及び制御信号117を出力し、動作管理装置5から書き込み検出信号114を受けるとデータレジスタ3へデータ112を出力し、読み出し検出信号115を受けるとデータレジスタ3よりデータ112を受けとる。

実アドレス生成器2は、メモリ番号110とアドレス111を入力し、実アドレス113を出力する。データレジスタ3は書き込み検出信号114を受けると、スケジューラ1からのデータ112を入力、保持し、書き込みデータ116を出力し、読み出し検出信号115を受けると、動作管理装置5からのデータ116を入力、保持し、読み出しデータ112を出力する。状態遷移メモリ4は以前の内部状態番号119を出力し、動作管理装置5が出力する新たな内部状態番号118を、メモリ番号110で示される位置に記憶する。

動作管理装置5は実アドレス113、制御信号線群117、内部状態番号119を入力するとシミュレーション対象のメモ

リの動作を決定し、新たな内部状態118を状態遷移メモリ4へ出力し、主記憶6へアクセス120を行う。新たな内部状態が書き込み動作を含む場合、書き込み動作検出信号114を出力し、書き込みデータ116をアクセス120へ出力し主記憶6の実アドレス113で示される位置に書き込む。新たな内部状態が読み出し動作を含む場合、読み出し動作検出信号115を出力し、主記憶6の実アドレス113で示される位置からデータを読みだし、読み出しデータ116をデータレジスタ3へ出力する。

第2図は第1図に示すスケジューラの詳細を示すブロック図である。21はエンコーダ、22はプライオリティ生成装置、23はスタック管理装置、24はスタック、25はデコーダ、26は双方向性バッファである。

エンコーダ21はアドレス入力101、制御信号群102、メモリ番号103、ポート番号104及びデータ105を入力し、複合データ201を出力する。プライオリティ生成装置22はメモリ番号103ポート番号104を入力し、プライオリティ番号202を出力する。スタック管理装置23は複合データ201、プライオリティ番号202を入力し、スタック24へアクセス203を行い、複合データ201をプライオリティ順にスタック24へ格納する。スタック24は複合データ201をプライオリティ順に格納する。デコーダ25はマルチポートメモリシミュレーション起動信号107を入力すると、スタック24へアクセス204を行い、プライオリティ順に複合データを読みだし、データ205、メモリ番号110、アドレス111、制御信号群117を出力する。双方向性バッファ26は読み出し動作検出信号115を入力すると読み出しデータ112を入力保持し、読み出しデータ105を出力し、書き込み動作検出信号114を入力すると書き込みデータ205を入力・保持し、読み出しデータ112を出力する。

第3図は第1図に示す実アドレス生成器の詳細を示すブロック図である。31はアドレス変換メモリ、32はアドレスレジスタである。アドレス変換メモリ31はメモリ番号110、アドレスを入力し実アドレス301を出力する。アドレスレジスタ32は実アドレス301を入力、保持し、実アドレス113を出力する。

第4図は第1図に示す状態遷移メモリの詳細を示すブロック図であ。41はメモリ、42は出力レジスタである。メモリ41はメモリ番号110で示される記憶位置から以前の内部状態番号301を読み出し、出力する。また、動作管理装置5から出力される新しい内部状態番号を書き込む、出力レジスタ42は、内部状態番号301を入力、保持

し、以前の内部状態番号113を出力する。

第5図は、第1図に示す動作管理装置の詳細を示すブロック図である。51はコントロール回路、52はアクセスコントロール回路である。コントロール回路51は以前の内部状態番号119と制御信号群117を入力し、書き込み動作検出信号114、読みだし動作検出信号115、新しい内部状態番号118を出力する。アクセスコントロール回路は書き込み動作検出信号114、読み出し動作検出信号115を入力し、主記憶へアクセス120を出力する。

第6図は、第1図に示すデータレジスタの詳細を示すブロック図である。61は双方向性データバッファである。双方向性バッファ61は、書き込み動作検出信号114を入力すると、書き込みデータ112を入力・保持し、データ116を出力する。読みだし動作検出信号115を入力すると、読みだしデータ116を入力、保持し、データ112を出力する。

【発明の効果】

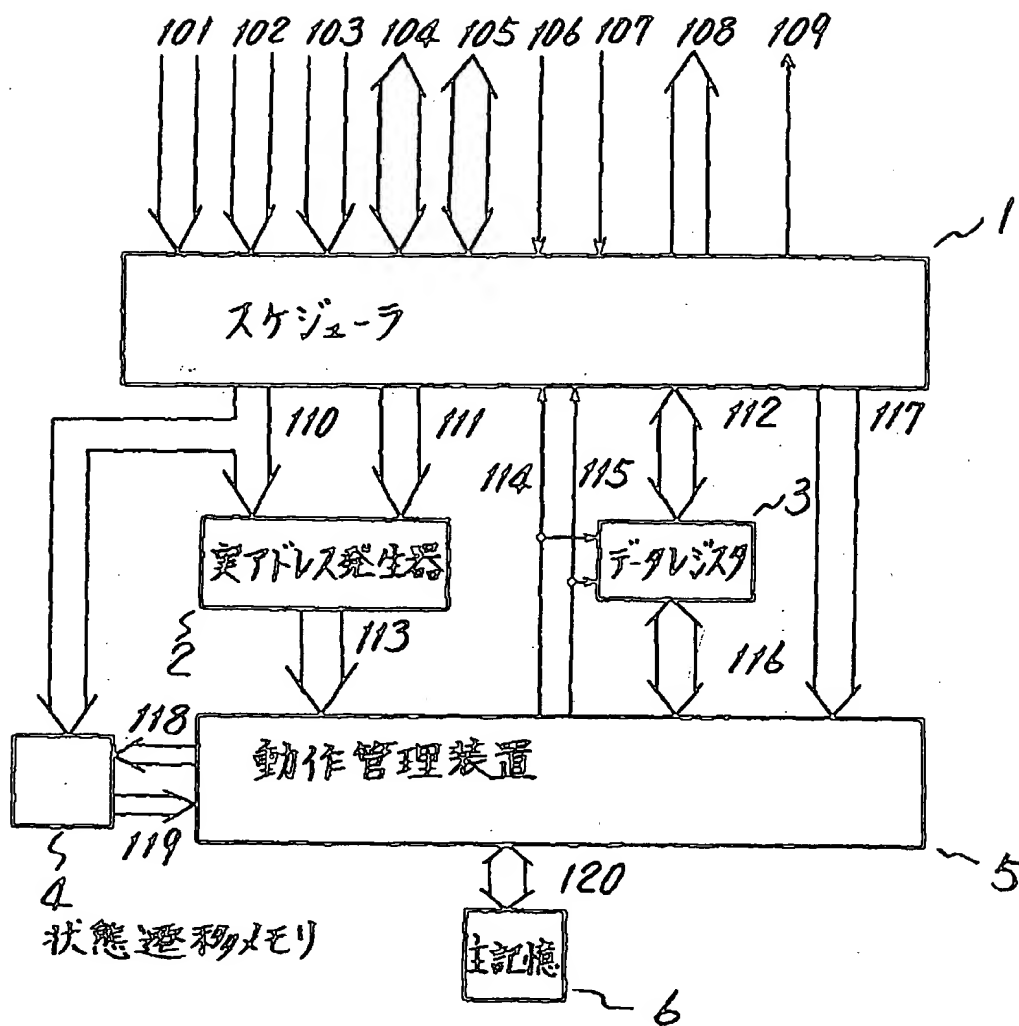
本発明のメモリICシミュレータは、シミュレーション対象がマルチポートメモリの場合、シミュレーション対象のメモリの記憶を主記憶の領域を用いて、複数のマルチポートメモリの動作を正確にシミュレーションすることができるという効果がある。

【図面の簡単な説明】

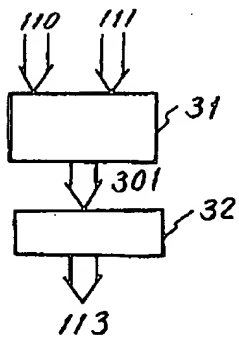
第1図は本発明の一実施例を示すブロック図、第2図は第1図に示すスケジューラ1を示すブロック図、第3図は実アドレス生成器を示すブロック図、第4図は状態遷移メモリを示すブロック図、第5図は動作管理装置を示すブロック図、第6図はデータレジスタ示すブロック図、第7図は従来の一例を示すブロック図である。

1……スケジューラ、2……実アドレス生成器、3……データレジスタ、4……状態遷移メモリ、5……動作管理装置、6……主記憶、21……エンコーダ、22……プライオリティ生成器、23……スタック管理装置、24……スタック、25……デコーダ、26……双方向性バッファ、31……アドレス変換メモリ、32……アドレスレジスタ、41……メモリ、42……出力レジスタ、51……コントロール回路、52……アクセスコントロール回路、61……双方向性バッファ、71……アドレス変換器、72……状態メモリ、73……検出器、74……書き込みレジスタ、75……読み出しレジスタ、76……マスタアクセス装置、77……親装置の主記憶。

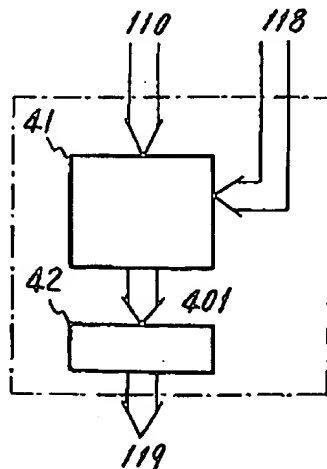
【第1図】



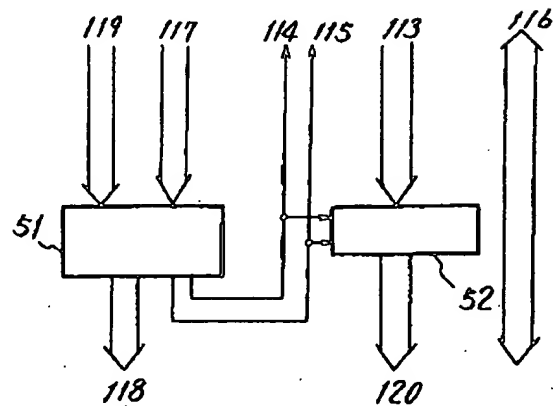
【第3図】



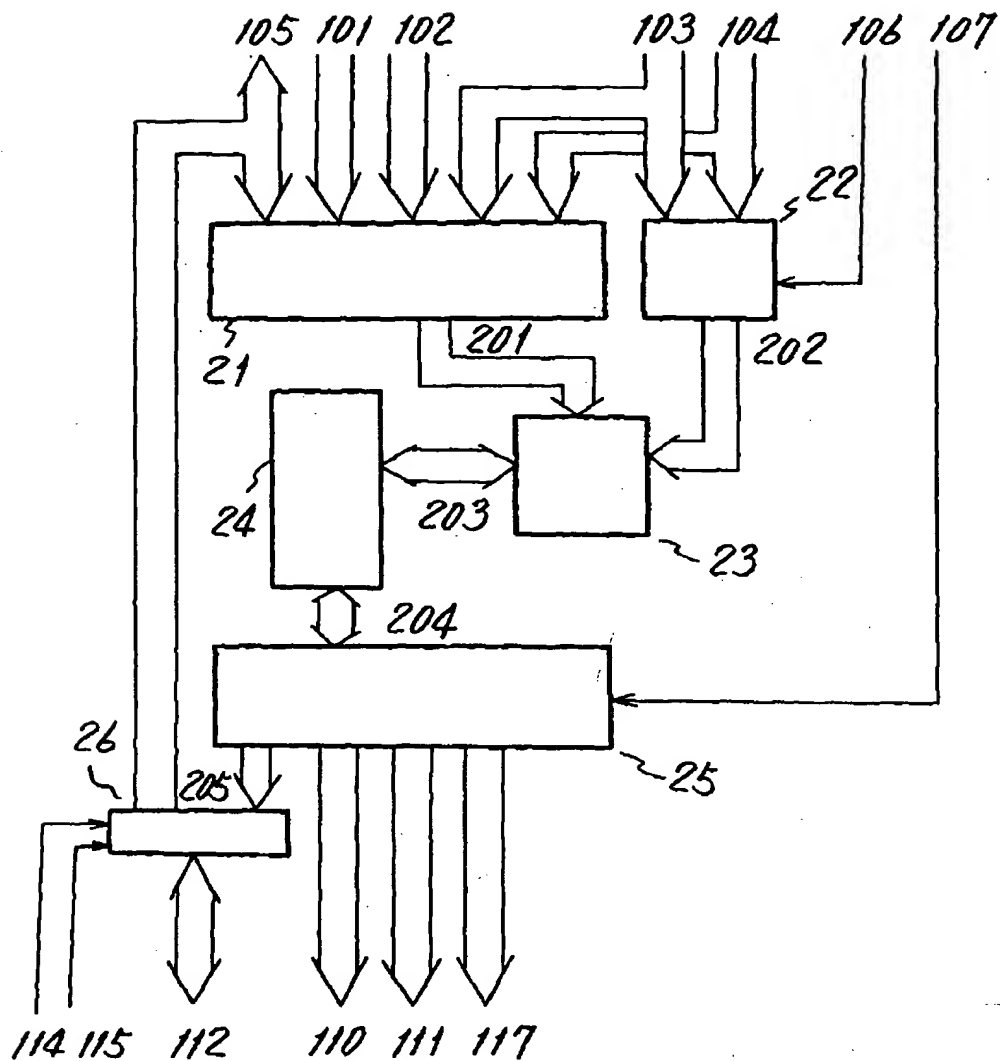
【第4図】



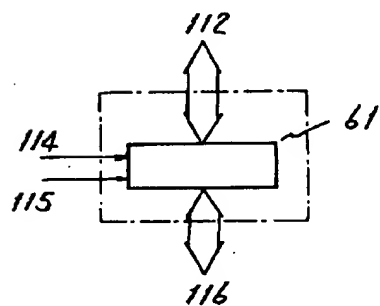
【第5図】



【第2図】



【第6図】



【第7図】

